



PATENT
2019-0202P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: YANG, Chih An et al. Conf.:
Appl. No.: 10/611,875 Group:
Filed: July 3, 2003 Examiner:
For: LEADFRAME PACKAGING APPARATUS AND
PACKAGING METHOD THEREOF

L E T T E R

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

August 26, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
TAIWAN, R.O.C.	091121668	September 20, 2002

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

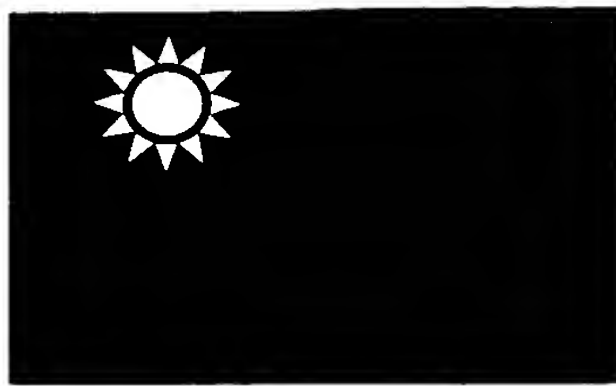
BIRCH, STEWART, KOLASCH & BIRCH, LLP

By Joe McKinney Muncy
Joe McKinney Muncy, #32,334

KM/sll
2019-0202P

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

Attachment(s)



VANS:Chen et al
101611875
August 26, 2003
BIB. UP
(703) 128-9115
2019-02-20
10f-1

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2002 年 09 月 20 日
Application Date

申請案號：091121668
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 7 月 10 日
Issue Date

發文字號：
Serial No.

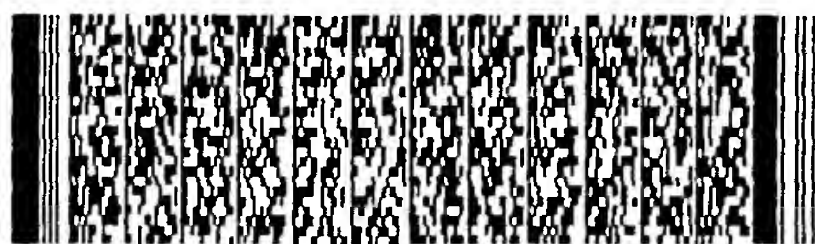
09220696690

申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

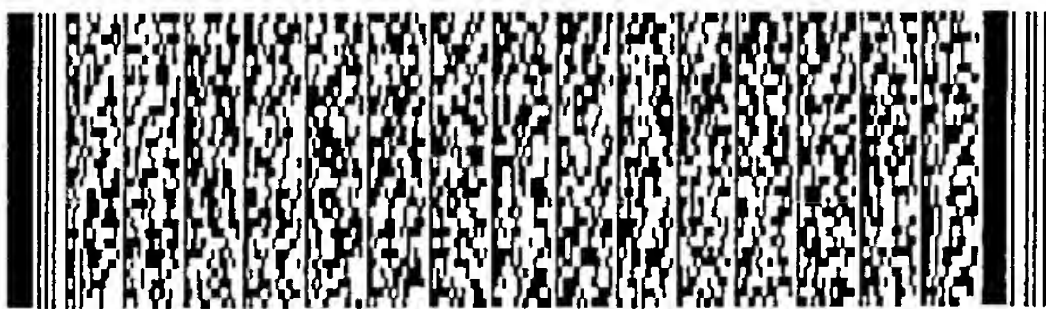
一、 發明名稱	中 文	導線架封裝結構及其封裝方法
	英 文	
二、 發明人	姓 名 (中文)	1. 楊智安 2. 廖學國
	姓 名 (英文)	1. 2.
	國 籍	1. 中華民國 2. 中華民國
	住、居所	1. 台北縣新店市中正路533號8樓 2. 台北縣新店市中正路533號8樓
三、 申請人	姓 名 (名稱) (中文)	1. 威盛電子股份有限公司
	姓 名 (名稱) (英文)	1.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 台北縣新店市中正路533號8樓
	代表人 姓 名 (中文)	1. 王雪紅
	代表人 姓 名 (英文)	1.



四、中文發明摘要 (發明之名稱：導線架封裝結構及其封裝方法)

一種導線架封裝結構包含有一結構主體 (molded body) 並於其內部包含有一晶片墊 (die pad)，至少一積體電路晶片設於晶片墊上，至少一被動元件設置於晶片墊上，以及複數個導線腳 (leadfinger)。每一導線腳包含有一第一導線腳段落於結構主體之外部周圍以及一第二導線腳段落延伸至結構主體內。被動元件可選擇跨接於兩相鄰第一導線腳或第二導線腳之間，或是利用一連接部連接不相鄰之兩導線腳。封裝此種導線架封裝結構之方法係在設置結構主體的步驟之前，將被動元件置於分離式晶片墊之上或跨接於兩不同第二導線架段落之間。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

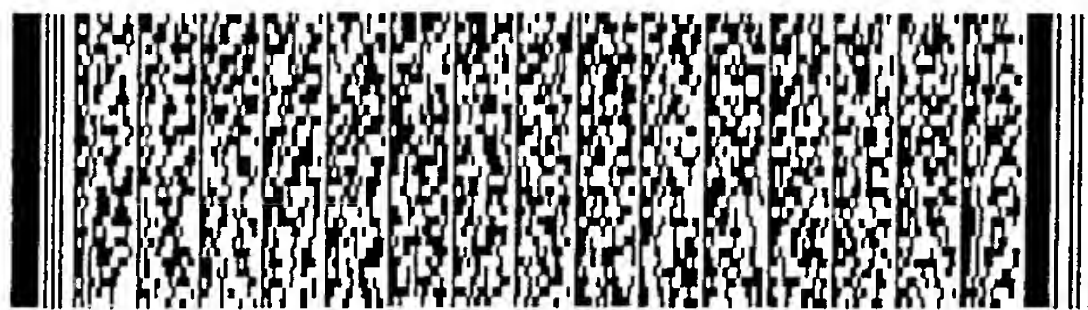
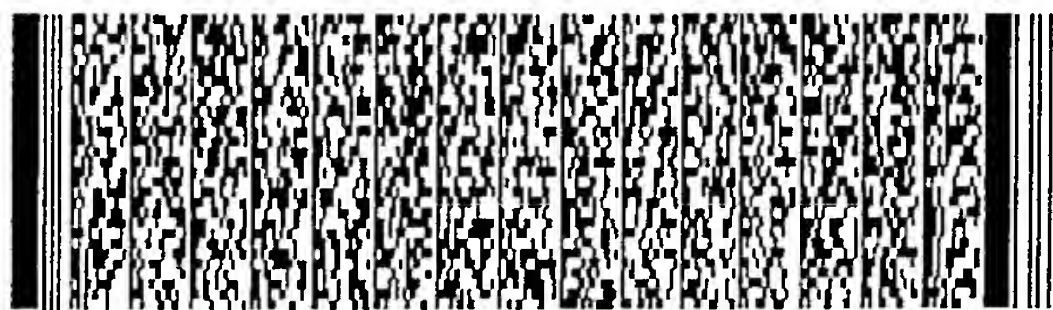
寄存號碼

無

五、發明說明 (1)

本發明係提供一種導線架封裝結構以及其封裝方法，尤指一種包含被動元件置於分離式晶片墊或兩導線腳之間的導線架封裝結構以及設置此種導線架封裝結構的封裝方法。

請參閱第一圖，第一圖為習知技術之導線架封裝結構10與印刷電路板12連接之側視圖。印刷電路板12包含有一上表面13與一下表面14，而就一四層印刷電路板而言，上表面13與下表面14可能是電源層、接地層、信號層或元件層其中之一。被動元件15以及25係以表面黏著 (Surface Mount Technology, SMT) 的方式設置在印刷電路板12的上表面13或下表面14。舉例來說，被動元件15以及25可能是一解耦電容 (de-coupling capacitor) 用來消除電路間的不良耦合，或是高頻電路之電源層以及接地層間的雜訊感測。然而由第一圖可知，被動元件15或25並沒有設於導線架封裝結構10的內部，使得這些被動元件15以及25佔據部分印刷電路板12之上表面13或下表面14的面積，這樣的情況在被動元件的數量很多時，會造成印刷電路板12的表面各層無法有額外的走線或是其他元件的設置，這在當需要縮小尺寸的印刷電路板時，將造成整個電路佈局上很大的困擾。同時這些另外獨立設置於導線架結構10外部的解耦電容，也無法減少產生於高頻電路電源層與接地層之間的切換雜訊。

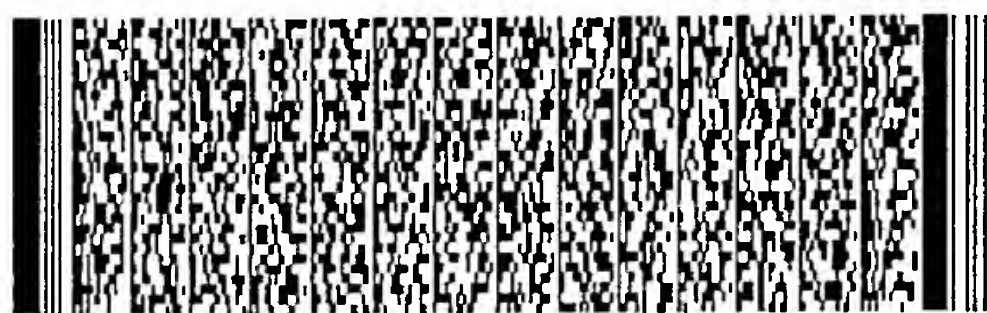


五、發明說明 (2)

本發明之主要目的，在於提供一種內部設置有被動元件之導線架封裝結構以及封裝此種導線架封裝結構的方法。將被動元件置於封裝結構主體內部，可節省許多印刷電路板的面積，同時也能減小高頻電路印刷電路板電源層與接地層之間的切換雜訊。

為了達成上述之目的，本發明提供一種導線架封裝結構，包含有一結構主體於其內部包含有至少一晶片墊，至少一積體電路晶片設置於晶片墊上，至少一被動元件設置於結構主體內部，以及複數個導線腳 (leadfinger)。這些被動元件的兩端係連接至一電壓源準位以及一接地準位。每一導線腳均包含有一第一導線腳段落設於結構主體之外部周圍以及一第二導線腳段落延伸至結構主體內。第一導線腳段落與第二導線腳段落係分別與設於結構主體下之一印刷電路板 (PCB) 以及積體電路晶片電連接，以於積體電路晶片與印刷電路板間建立一電性連接。被動元件除了可設於分離式晶片墊上外，另外可跨接於兩不同之第二導線腳段落之間。

本發明另外提供了一種封裝上述導線架封裝結構的方法。此方法包含有於設置導線架封裝結構主體前，先行將被動元件置於分離式晶片墊上方或是跨接於兩不同之第二導線腳段落之間，使得在完成設置此樹脂材質之結構主體後能涵蓋積體電路晶片以及被動元件。



五、發明說明 (3)

為了使貴審查委員能更進一步瞭解本發明之特徵與技術內容，請參閱以下有關本發明之詳細說明與附圖，然而所附圖式僅提供參考與說明用，並非用來對本發明加以限制者。

請參閱第二圖，第二圖為本發明之導線架封裝結構50之剖視圖。導線架封裝結構50係設置在印刷電路板52之上，並與印刷電路板52建立連接。導線架封裝結構50包含有一結構主體53，結構主體53內部包含有一晶片墊 (die pad) 54。導線架封裝結構50內部另外包含有一積體電路晶片55設於晶片墊54之上，以及複數個導線腳56，每一導線腳56均包含有一第一導線腳段落57於結構主體53外部周圍，以及一第二導線腳段落58延伸至結構主體53內部。被動元件59係設置於結構主體53內部的分離式晶片墊54之上，或是跨接於兩不同之第二導線腳段落59之間。第一導線腳段落57係與用來支撐結構主體53之印刷電路板52電連接，而積體電路晶片55則與第二導線腳段落58以拉線 (wire bond) 61電連接，以於積體電路晶片55與該印刷電路板52間建立一電性連接。

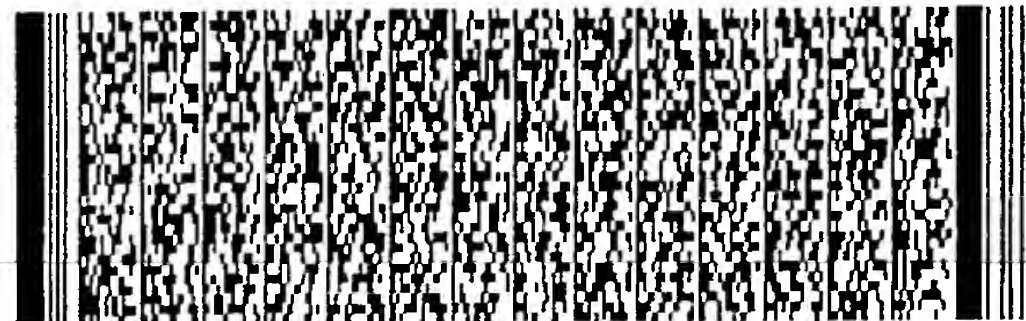
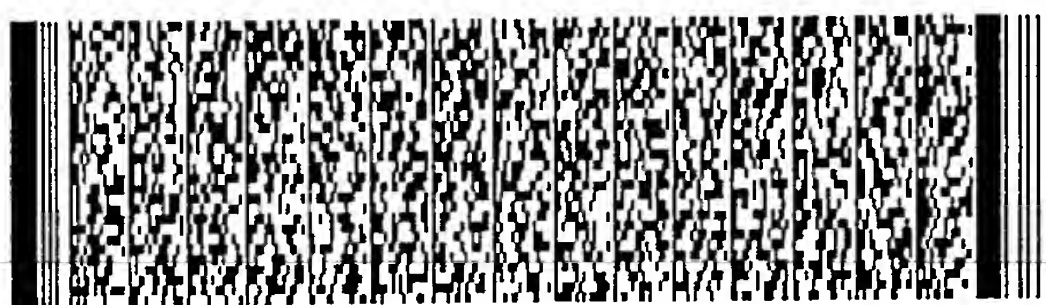
請參閱第三圖，第三圖為本發明之導線架封裝結構70於未灌入樹脂形成結構主體前之上視圖。導線架封裝結構70包含有複數個導線腳72，一分離式晶片墊73設於結構主



五、發明說明 (4)

體內部，一積體電路晶片74以及至少一被動元件75同樣設置於結構主體的內部。分離式晶片墊73可被區分成一電源部76以及一接地部77。晶片墊電源部76與接地部77係分別透過導線腳72與提供此電源與接地之印刷電路板（未顯示）電連接。也就是說，導線腳72係至少區分成一電源腳群組、一接地腳群組以及一信號腳群組（均未顯示），其中電源腳群組與接地腳群組係分別電連接印刷電路板的電源以及接地（ground）。被動元件75則跨接於電源部76與接地部77之間，而積體電路晶片74除了同樣跨接於晶片墊電源部76與接地部77間之外，其另外腳位也會透過對應的金屬拉線78與導線腳72之電源腳群組、接地腳群組、或信號腳群組電連接。另外值得一提的是，晶片墊電源部76與接地部77均儘量保持在共平面（common plane），以利積體電路晶片74或被動元件75跨接。

請參閱第四圖A至第四圖B，第四圖A與第四圖B為被動元件跨接於兩導線腳之示意圖。第四圖A包含了兩種導線腳，分別為電源腳92以及接地腳93。此兩種導線腳又分別包含有一第一導線腳段落94與一第二導線腳段落95，其中第一導線腳段落位於導線架封裝結構之外圍四周，而第二導線腳段落95則在封裝結構的內部。被動元件96跨接在兩相鄰之第二導線腳段落95之間，且電源腳92與接地腳93另外有金屬拉線97與封裝結構內部之積體電路晶片連接。相較於第四圖A電源腳92與接地腳93為相鄰之導線腳，其跨



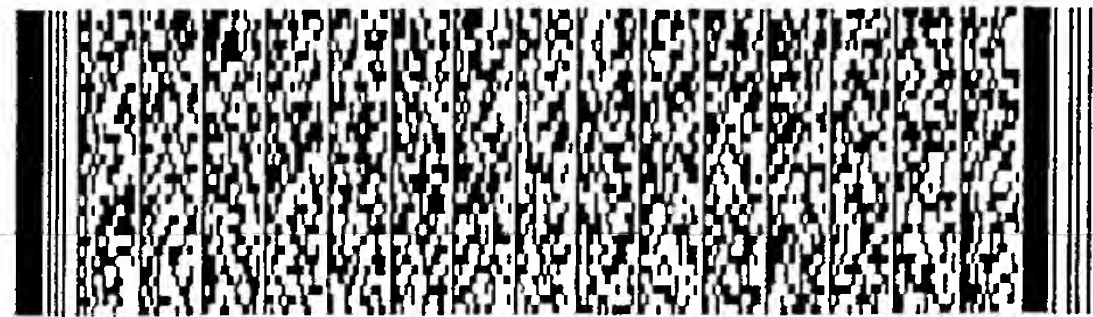
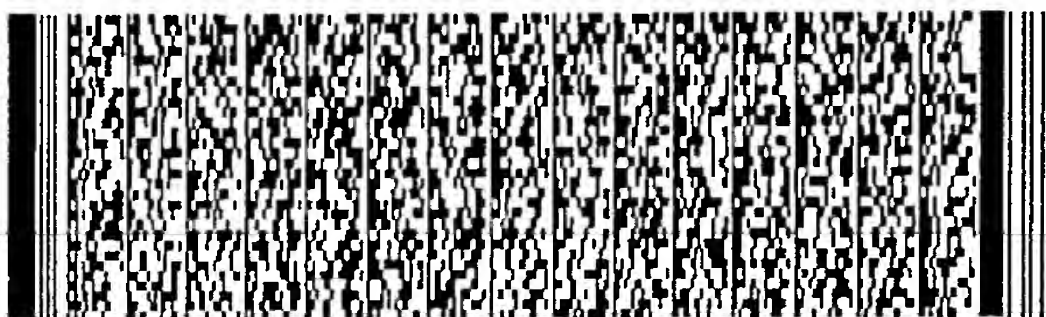
五、發明說明 (5)

接被動元件的實施較為容易，而第四圖B所揭露的實施例為電源腳102與接地腳103彼此不相鄰（中間另有信號腳104），所以另外有一連接部105的設置使得被動元件106能順利地跨接在電源腳102與接地腳103之間。連接部105的設置位置並非僅能由接地腳103延伸而出，只要是能解決不相鄰兩導線腳間的跨接問題即可。另外，電源腳106或接地腳107均分別有對應的金屬拉線97與積體電路晶片（未顯示）電連接。第四圖B並沒有如第四圖A所示一般刻意地區分第一導線腳段落或是第二導線腳段落，因為整個所示之電源腳102與接地腳103甚至信號腳可被視為同屬於第二導線腳段落，所以被動元件106將可確定是位於導線架封裝結構主體的內部。此外，被動元件另外可跨接在兩相鄰第一導線腳段落之間，也就是設置在導線架封裝主體的外部。

請參閱第五圖，第五圖為封裝本發明導線架封裝結構的方法流程圖。此封裝方法包含有下列步驟：

步驟152：準備一積體電路晶片，積體電路晶片係由切割一晶圓而來，且於切割完成後浸入一去離子水（deionized water）以去除於晶圓切割過程中所產生之矽塵（silicon dust）以及靜電感應；

步驟154：將積體電路晶片利用一有機黏著劑（organic adhesive）黏貼至一晶片墊



五、發明說明 (6)

(die pad) 上；

步驟156：設置至少一被動元件於分離式晶片墊或兩不同之導線腳之上；

步驟157：對積體電路晶片進行一拉線 (wire bonding) 動作；

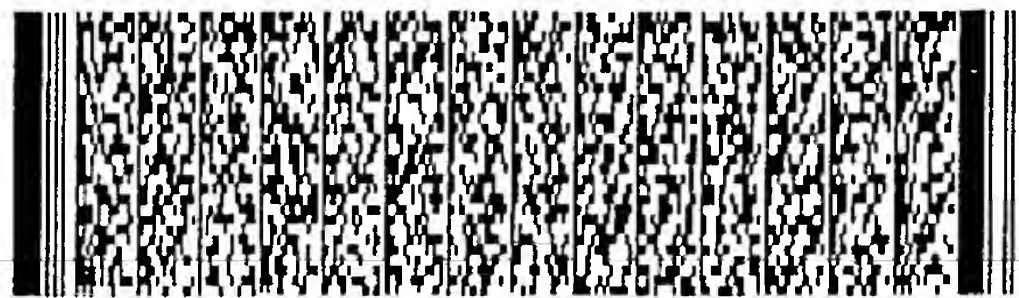
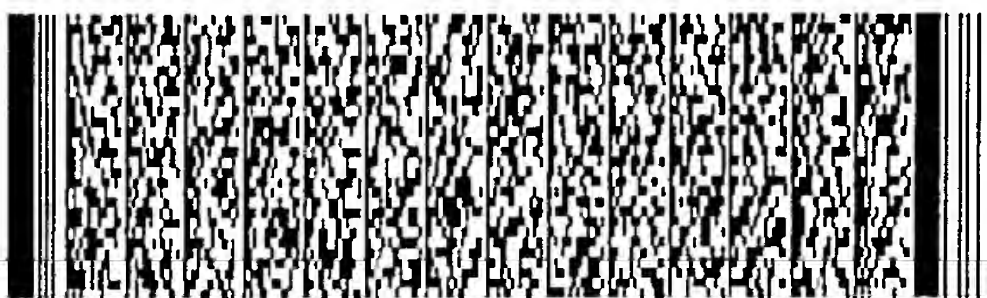
步驟159：設置一結構主體 (molding compound)，使該結構主體能完全包覆積體電路晶片、晶片墊以及被動元件；

步驟161：對在於結構主體外部之導線腳進行一機械加工動作，並定義位於結構主體外部之導線腳為一第一導線腳段落，而位於結構主體內之導線腳為一第二導線腳段落；以及

步驟162：將這些第一導線段落與一印刷電路板電連接；

目前常用的積體電路晶片封裝材料包括有塑膠基板與金屬導線架可減少熱應力 (thermal stress)，本發明的封裝方法僅針對導線架封裝結構，且此導線架封裝結構的封裝主體是一樹脂或陶瓷封裝，同時先前技術並無將被動元件於製程中就先置入此種導線架封裝結構主體的揭露。

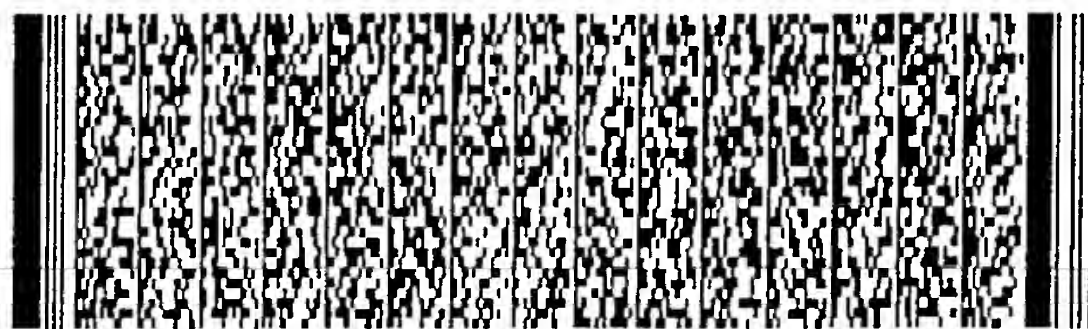
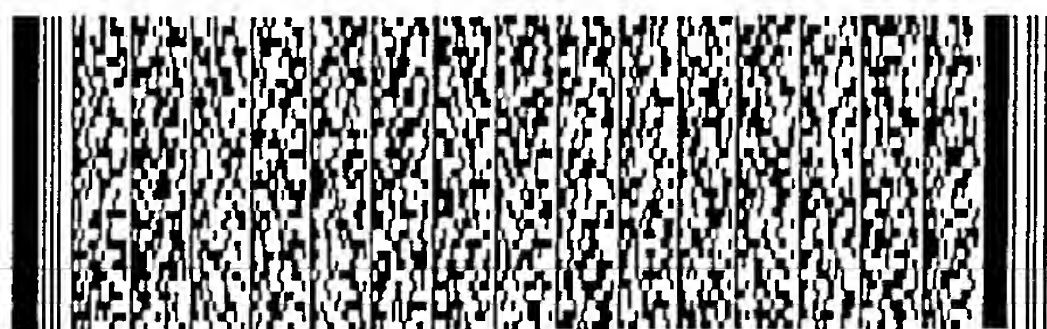
選擇樹脂做為封裝結構主體僅為本發明封裝方法之一較佳實施例，關於封裝結構主體 (此處專指塑膠類) 的材料選取，係依據大小不同的結構主體以及導線架的數目多



五、發明說明 (7)

寡而調整。也因為結構主體採用塑膠材料，黏貼積體電路晶片至晶片墊的黏著劑材料選擇也與採用陶瓷封裝主體時不同，其係為一有機填充銀樹脂黏著劑。

如步驟154所示之於黏貼一積體電路晶片至晶片墊之前，此積體電路晶片之下表面需先經過一金屬化 (metallization) 處理，而晶片墊之上表面則需經過一導電黏膠處理。這些預處理的目的不在於使其表面能更加平滑以利黏貼，而是在於獲得一歐姆性接觸 (ohmic contact)。當積體電路晶片被黏貼至晶片墊上之後，則進行設置至少一被動元件於分離晶片墊或兩不同導線腳之間，之後就開始對此積體電路晶片進行金屬拉線的動作，如步驟156與157所示。使得在稍後完成的結構主體設置動作後能確定被動元件是在結構主體內部。而在完成設置結構主體後，即可定義位在結構主體外部周圍為一第一導線腳段落，而在結構主體內部則為一第二導線腳段落。被動元件除了可設置在晶片墊上之外，也能跨接在不同之兩第二導線腳段落之間。如果所欲連接之兩第二導線腳段落並不相鄰，則可另外設置一連接部由其中一第二導線腳段落延伸而出，以利被動元件的跨接設置。第一導線腳段落係用來與印刷電路板電連接，而第二導線腳段落則透過金屬拉線與積體電路晶片連接。又，使用本發明封裝方法之另一實施例是將被動元件設於相鄰兩第一導線腳段落之間。不論是第一導線腳段落或是第二導線腳段落均可為一合金



五、發明說明 (8)

(alloy) 材質。以上僅屬一概略性的敘述，此專門用於塑膠材質的導線架封裝結構的封裝方法另外會包含其他步驟，如於設置結構主體的步驟中可能會有多餘之樹脂超過原先所設定的結構主體範圍，在這種情況下就必須利用機械或是化學的方法將這些多餘的樹脂予以清除，以使下一步驟能繼續進行。

相較於習知技術，本發明提供一種於內部包含有被動元件（如解耦電容）的導線架封裝結構本體，以及專門用來封裝此種導線架封裝結構的方法。將至少一被動元件置於導線架封裝結構內部的晶片墊或是兩導線腳段落之間，除了可以釋放一些原本必須用來設置這些被動元件的印刷電路板空間外，更能減弱高頻電路電源層與接地層間的切換雜訊的強度。習知金屬導線架之封裝結構並無如本發明般將被動元件設於封裝主體內部的構想或是相關資料的提出。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利的涵蓋範圍。



圖式簡單說明

第一圖為習知技術之導線架封裝結構與印刷電路板連接之側視圖。

第二圖為本發明導線架封裝結構之剖視圖。

第三圖為本發明之導線架結構未灌入樹脂前之上視圖。

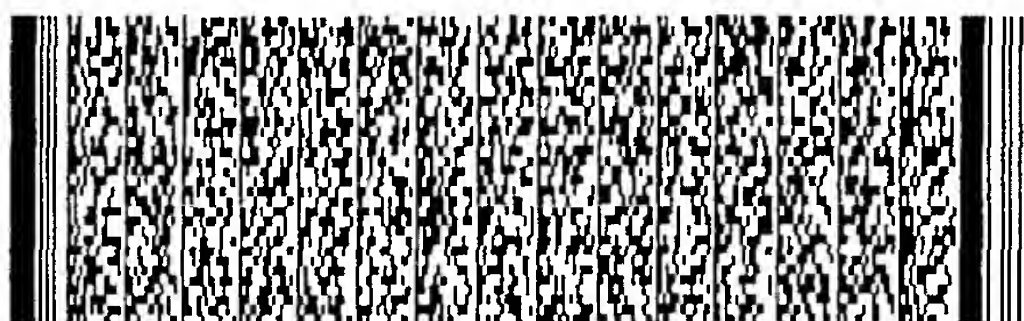
第四圖A為本發明導線架封裝結構之電源腳與接地腳間的位置關係示意圖。

第四圖B為第四圖A電源腳與接地腳另一位置關係之示意圖。

第五圖為本發明之封裝方法的流程圖。

圖示之符號說明

50、70	導線架封裝結構
52	印刷電路板
53	結構主體
54、73	晶片墊
55、74	積體電路晶片
56、72	導線腳
57、94	第一導線腳段落
58、95	第二導線腳段落
59、75、96、106	分離式被動元件
61、78、97、107	金屬拉線
76	電源部
77	接地部

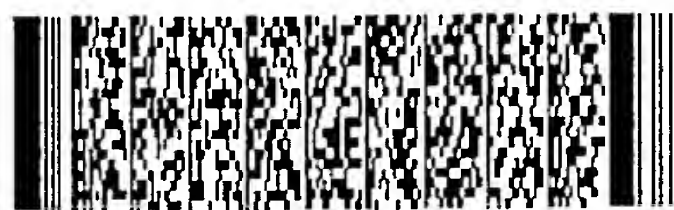


圖式簡單說明

92、102 電 源 腳

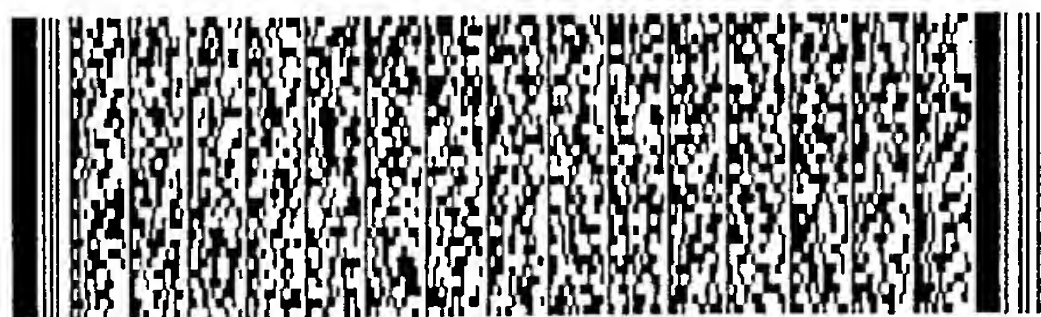
93、103 接 地 腳

104 信 號 腳



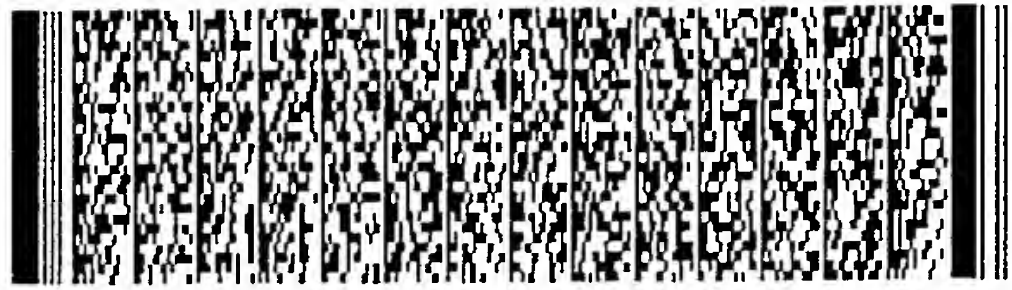
六、申請專利範圍

1. 一種導線架封裝結構，包含有：
一晶片；
至少兩分離的晶片墊，該分離之晶片墊係分別連接至兩不同之電壓準位；
複數個導線腳；以及
至少一被動元件，該被動元件之兩端係分別連接至該分離之晶片墊。
2. 如申請專利範圍第1項之導線架封裝結構，其中該電壓準位係包含有一電壓源準位以及一接地準位。
3. 如申請專利範圍第2項之導線架封裝結構，其中該電壓源準位以及該接地準位係由一印刷電路板所提供，該導線架封裝結構係固接在該印刷電路板之上。
4. 如申請專利範圍第1項之導線架封裝結構，另外包含有一連接部（busbar）設於不相鄰之兩該導線腳之間。
5. 一種導線架封裝結構，包含有：
一晶片；
一晶片墊；
複數個導線腳；以及
至少一被動元件，該被動元件之兩端係分別連接至兩個不同電壓準位之該導線腳。



六、申請專利範圍

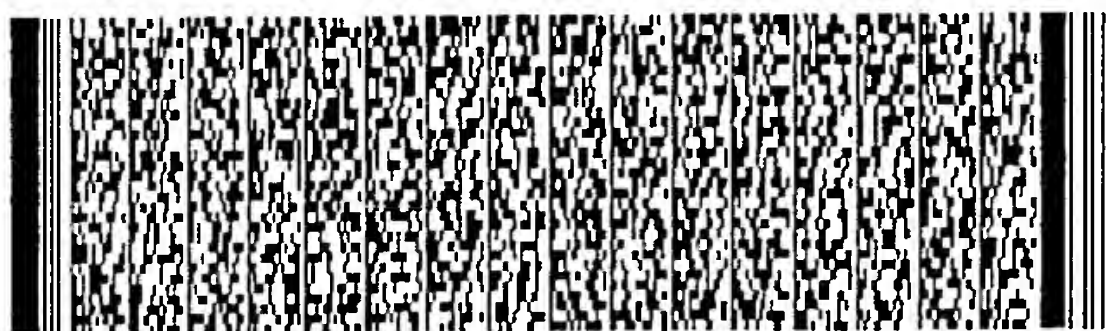
6. 如申請專利範圍第5項之導線架封裝結構，其中該不同電壓準位係包含有一電壓源準位以及一接地準位。
7. 如申請專利範圍第6項之導線架封裝結構，其中該電壓源準位與該接地準位係由一印刷電路板提供。
8. 一種導線架封裝結構之封裝方法，包含有下列步驟：
準備一積體電路晶片，該積體電路晶片係由切割一晶圓而來，且於切割完成後浸入一去離子水（deionized water）以去除於晶圓切割過程中所產生之矽塵以及靜電感應；
將該積體電路晶片利用一有機黏著劑（organic adhesive）黏貼至一晶片墊（die pad）上；
設置至少一被動元件；
對該積體電路晶片進行一拉線（wirebonding）動作；
設置一結構主體（molding compound），使該結構主體能完全包覆該積體電路晶片、該晶片墊以及該被動元件；
對在於該結構主體外部之該導線腳進行一機械加工動作，並定義位於該結構主體外部之該導線腳為一第一導線腳段落，而位於該結構主體內之該導線腳為一第二導線腳段落；以及



六、申請專利範圍

將該些第一導線段落與一印刷電路板電連接，而該些第二導線腳段落則與該積體電路晶片電連接；

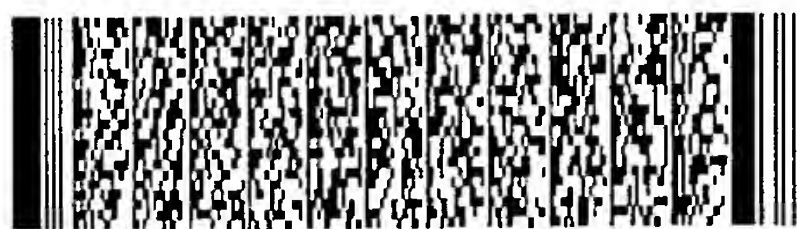
9. 如申請專利範圍第8項之方法，另外包含有於兩不相鄰之該第二導線腳段落間跨接一連接部（busbar）。
10. 如申請專利範圍第9項之方法，其中該被動元件係另外跨接於該兩不相鄰之第二導線架段落其中之一與該連接部之間。
11. 如申請專利範圍第8項之方法，其中該被動元件係另外跨接設置於兩相鄰之該第二導線腳段落上。
12. 如申請專利範圍第8項之方法，其中該有機黏著劑為一填充銀樹脂（silver-filled epoxy）。
13. 如申請專利範圍第8項之方法，另外於黏貼該積體電路晶片至該晶片墊之前，金屬化處理該積體電路晶片之一下表面。
14. 如申請專利範圍第8項之方法，其中於該拉線動作係對該積體電路晶片拉出複數條金屬拉線至該第二導線腳段落。



六、申請專利範圍

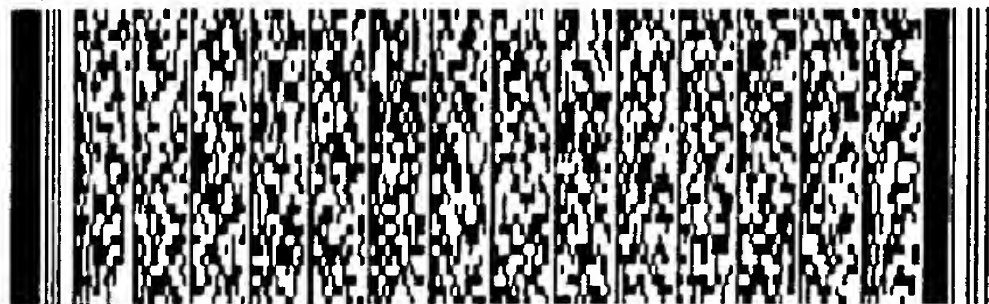
15. 如申請專利範圍第8項之方法，其中該導線腳為一合金材質。

16. 如申請專利範圍第8項之方法，其中該被動元件係另外跨接於兩該第一導線腳段落之間。

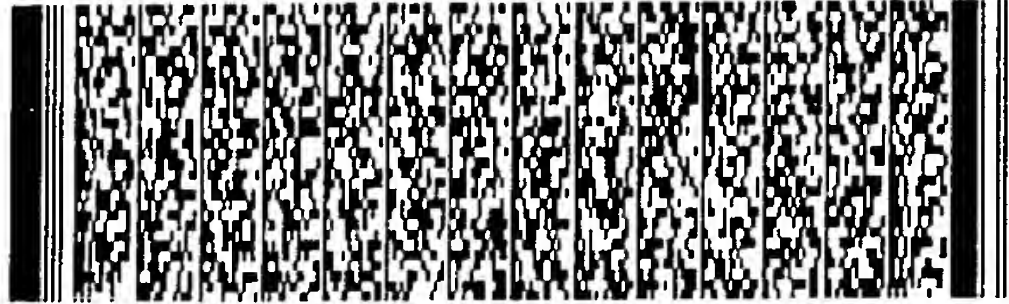




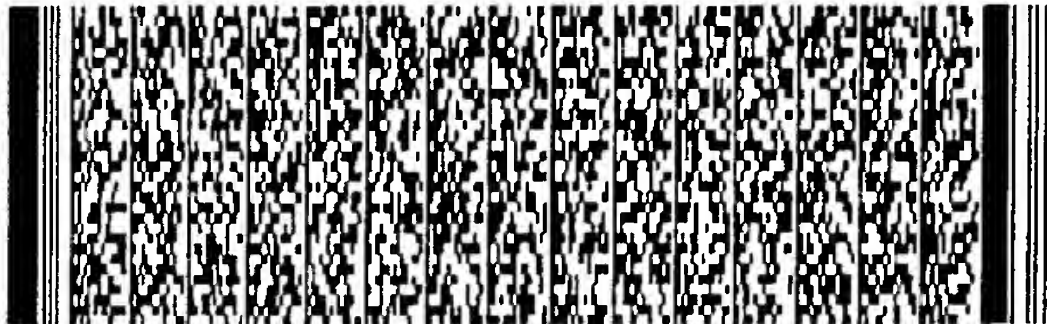
第 11/17 頁



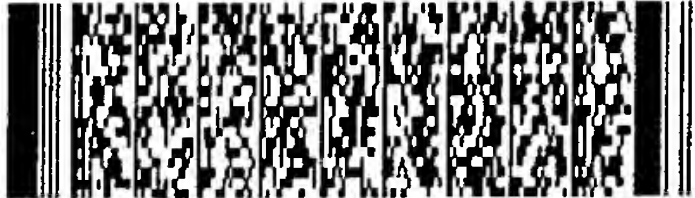
第 11/17 頁



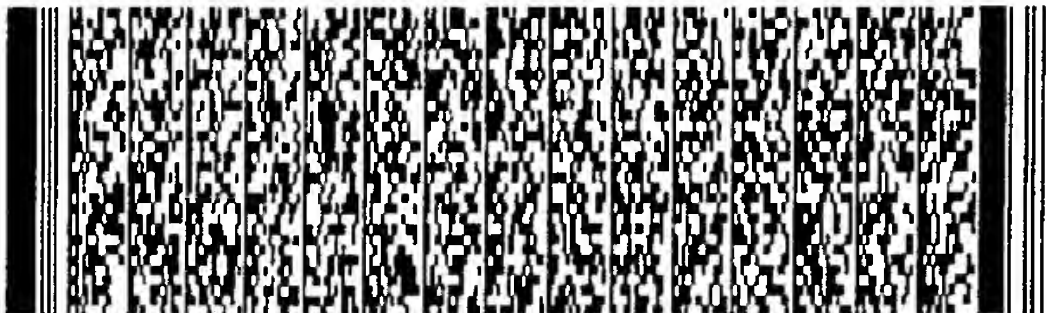
第 12/17 頁



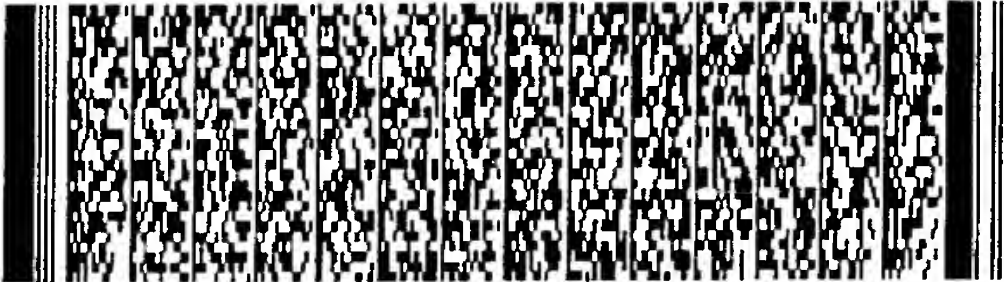
第 13/17 頁



第 14/17 頁



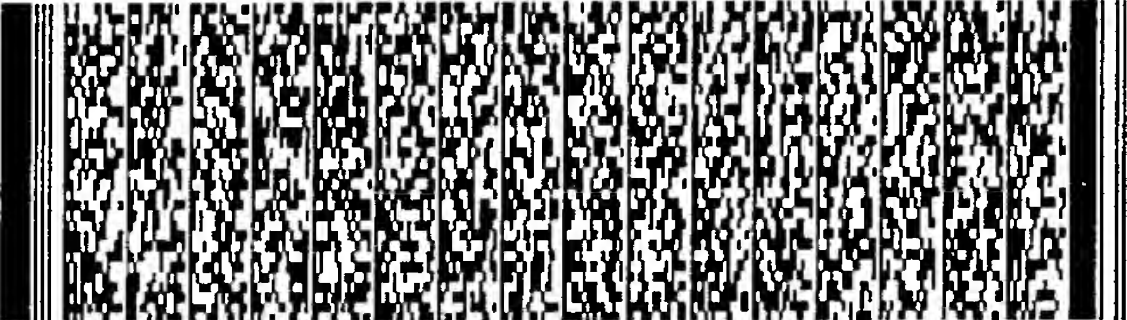
第 15/17 頁



第 15/17 頁

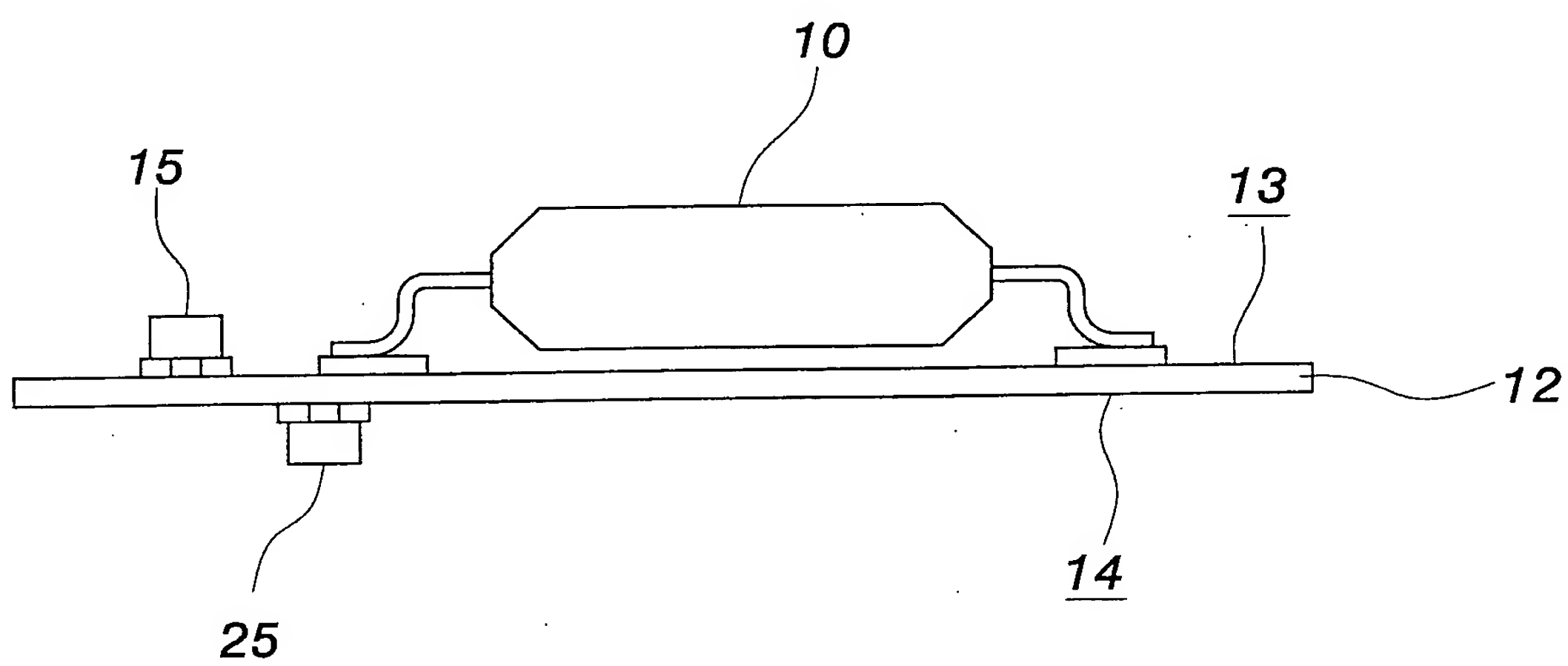


第 16/17 頁



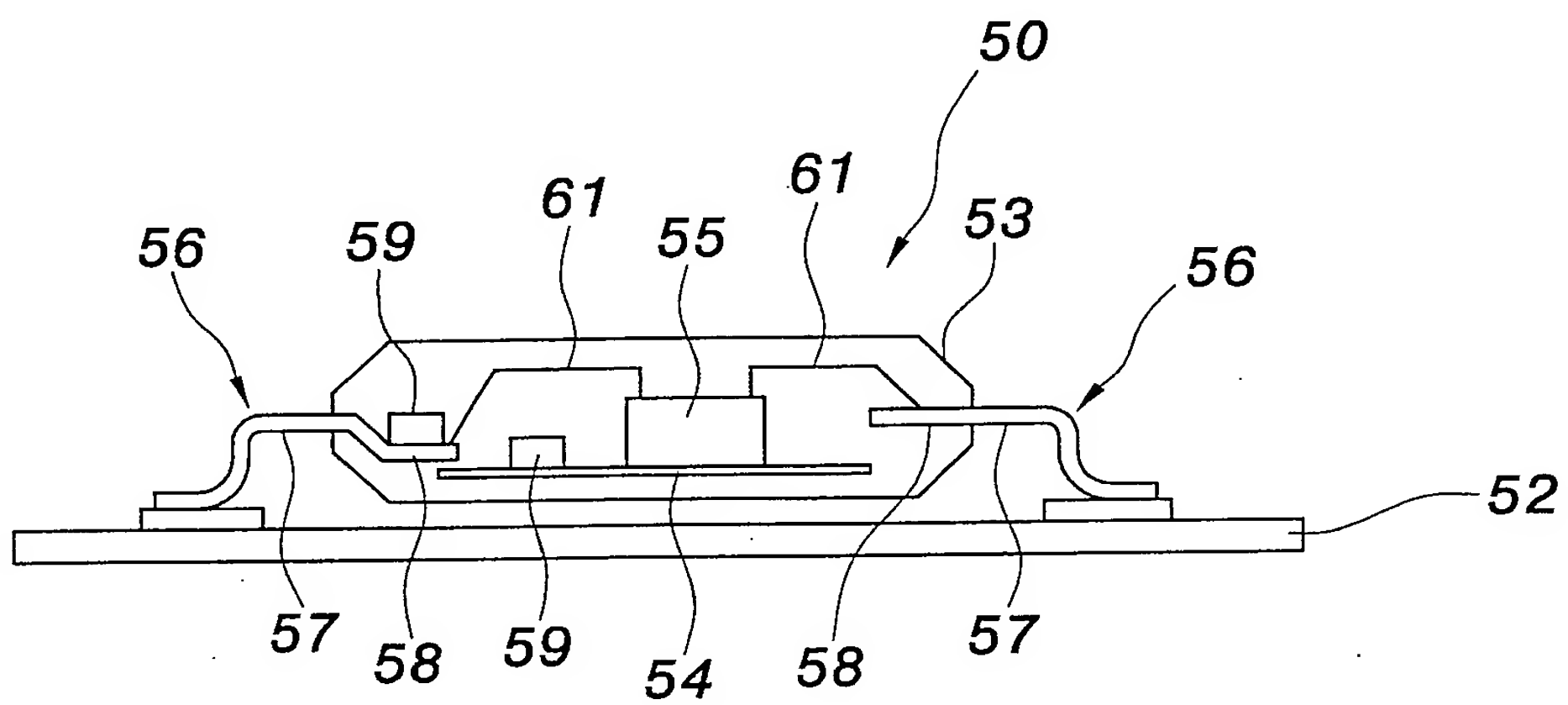
第 17/17 頁



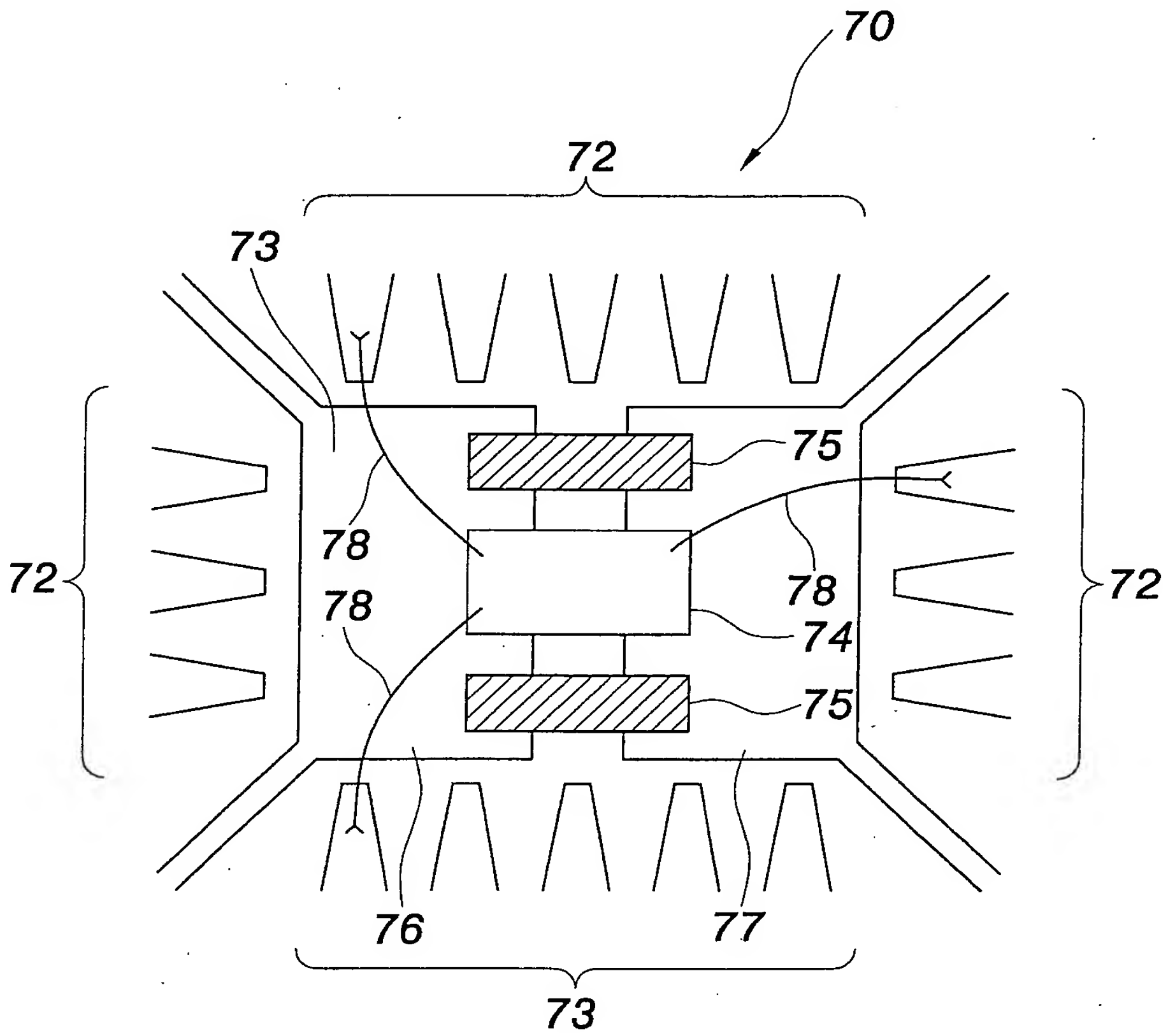


第一圖

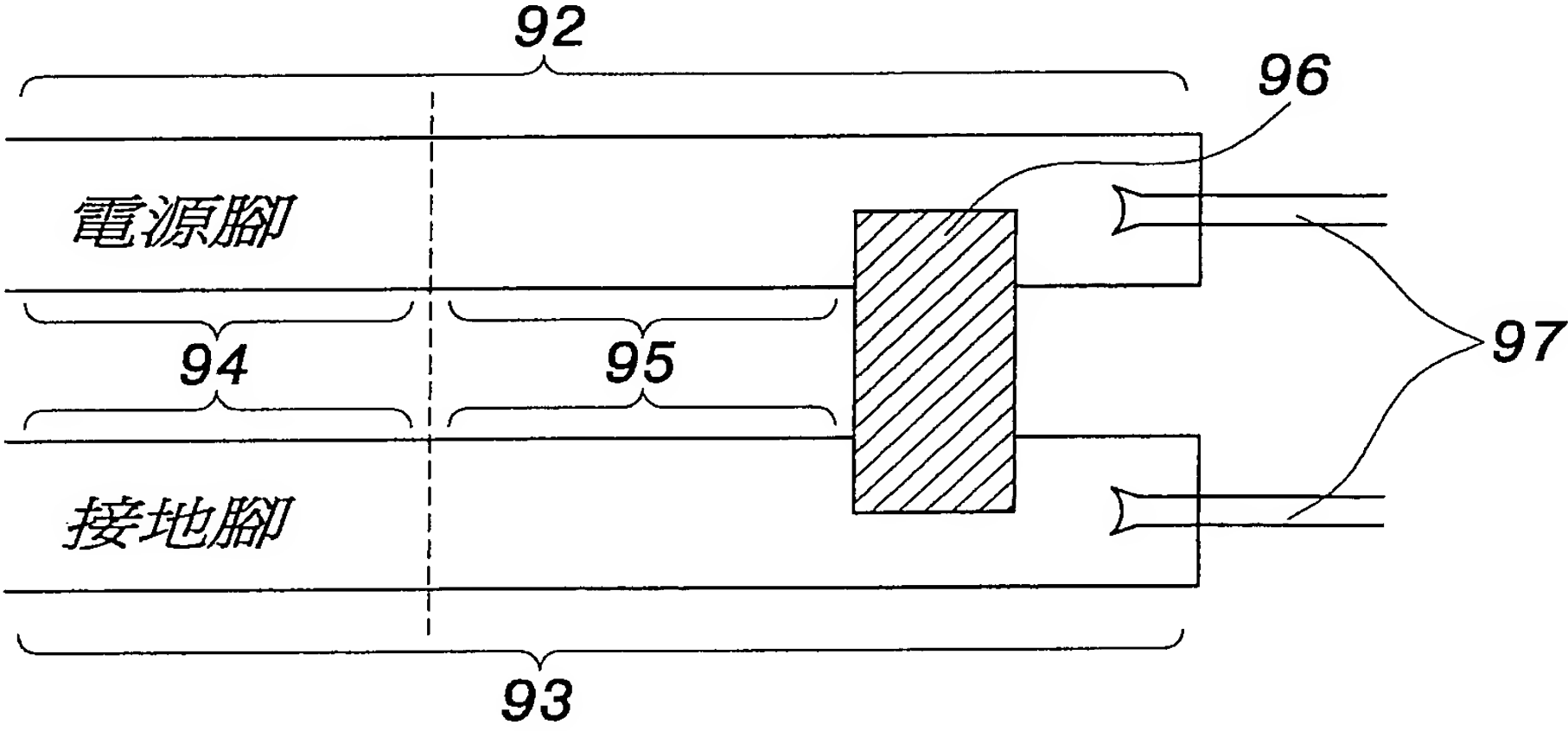
圖式



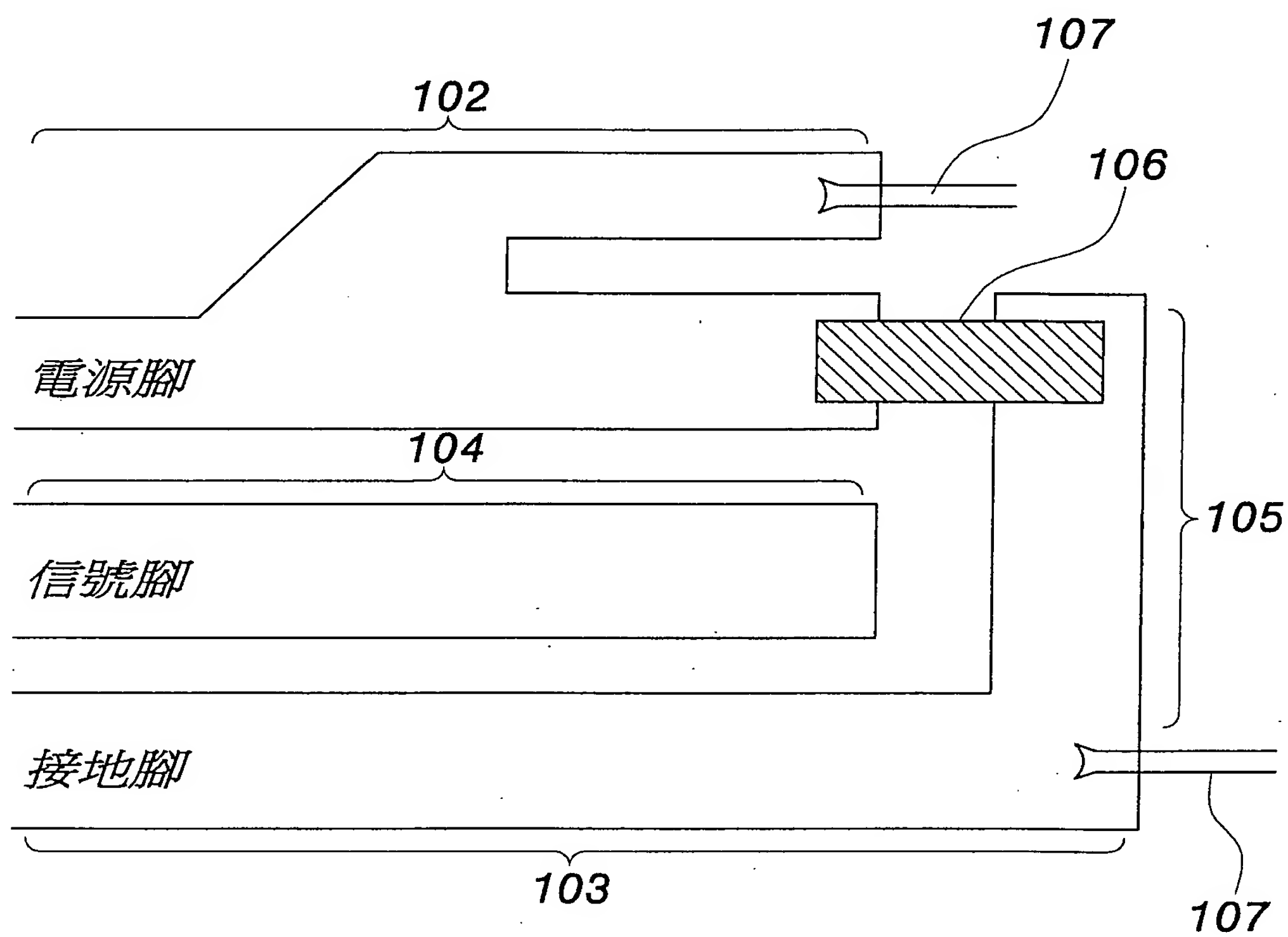
第二圖



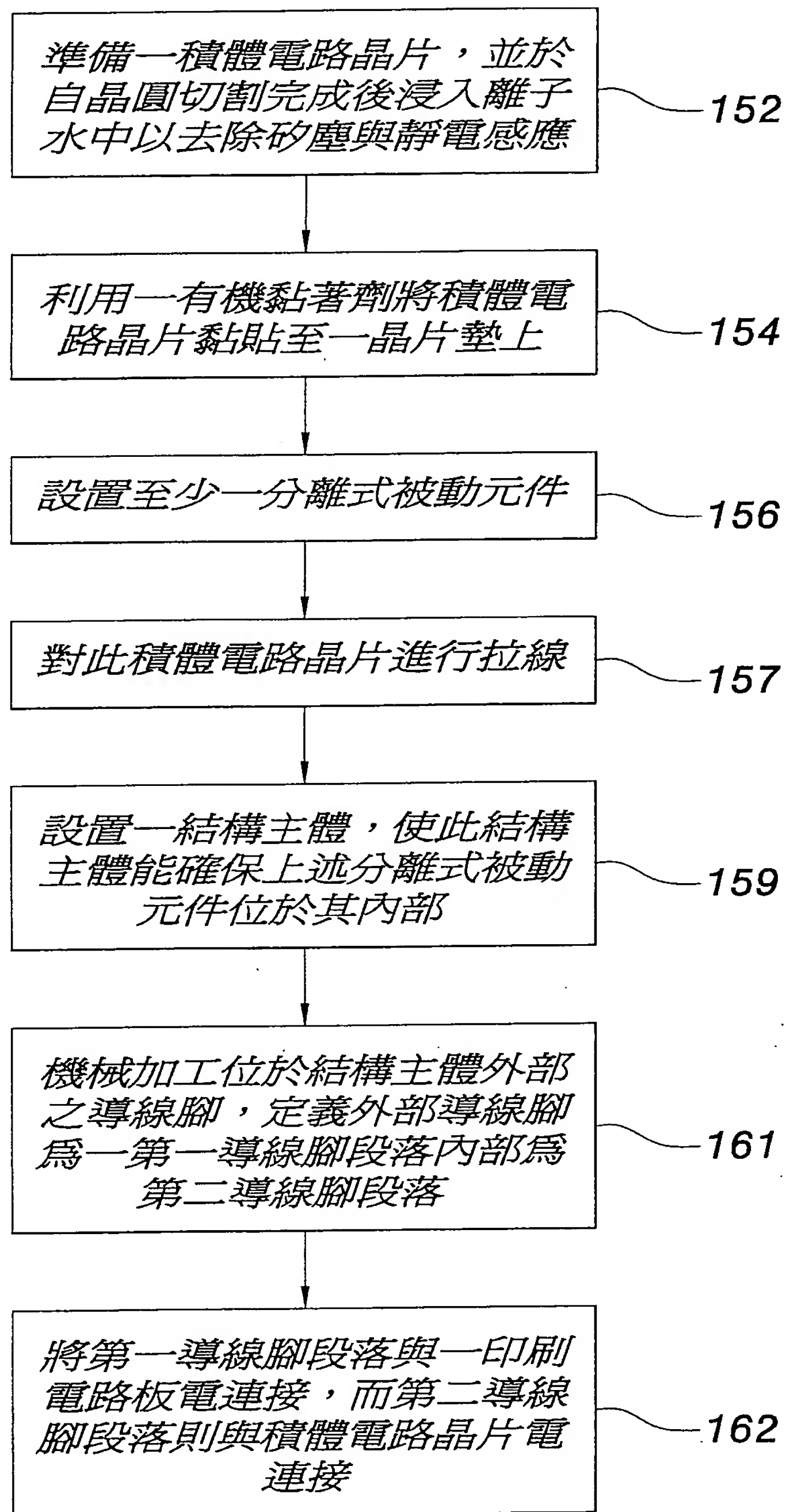
第三圖



第四圖A



第四圖B



第五圖